

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-213975

(43)Date of publication of application : 20.08.1996

(51)Int.Cl.

H04L 7/00

G06F 12/00

H04L 13/08

(21)Application number : 07-016739

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 03.02.1995

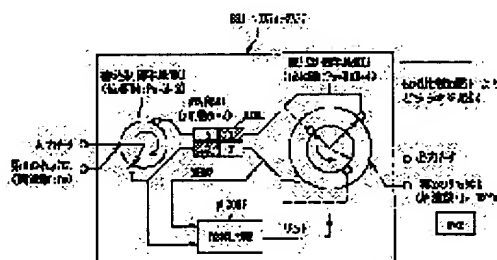
(72)Inventor : FUKAZAWA AKIHIKO

(54) BIT PHASE SYNCHRONIZING CIRCUIT

(57)Abstract:

PURPOSE: To provide the bit phase synchronizing circuit where the number of phase timings of a read memory prescribing signal is increased and a small number of memories are provided.

CONSTITUTION: A write control means WK1 generates the write memory prescribing signal, which cyclically varies memories MEM1 and MEM2 where respective bit values of input data are stored, based on a first clock C1 and gives this signal to a memory part M1, and respective bit values are cyclically stored in memories. A read control means RK1 generates a read memory prescribing signal, which cyclically varies memories from which stored values are outputted, based on a second clock C2 having n-fold ((n) is an integer equal to or larger than 2) frequency of the first clock, and gives this signal to the memory part, and stored bit values are successively outputted from memories. The read control means RK1 can generate plural kinds of read memory prescribing signals, and a phase comparison means ϕ COMP makes the read control means RK1 output the read memory prescribing signal of the different phase at the time of contention between write to and read from the same memory.



LEGAL STATUS

[Date of request for examination]

31.07.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-213975

(43) 公開日 平成8年(1996)8月20日

(51) Int.Cl.⁶

H 0 4 L 7/00

G 0 6 F 12/00

H 0 4 L 13/08

識別記号

庁内整理番号

F I

技術表示箇所

A

5 6 0 D

審査請求 未請求 請求項の数 2 O L (全 14 頁)

(21) 出願番号

特願平7-16739

(22) 出願日

平成7年(1995)2月3日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 深澤 明彦

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

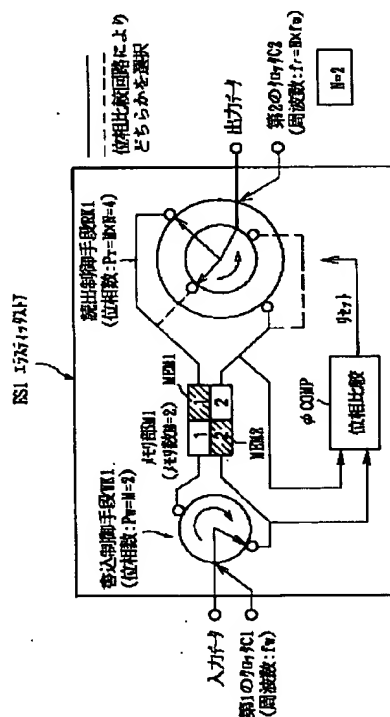
(74) 代理人 弁理士 工藤 宜幸 (外2名)

(54) 【発明の名称】 ビット位相同期回路

(57) 【要約】

【目的】 少ないメモリ数のビット位相同期回路を提供する。

【構成】 書込制御手段WK1は、第1のクロックC1に基づいて、入力データの各ビット値を格納するメモリMEM1、MEM2を巡回的に可変させる書込メモリ規定信号を形成してメモリ部M1に与え、入力データの各ビット値は各メモリに巡回的に格納される。読出制御手段RK1は、第1のクロックの2以上の整数倍の周波数を有する第2のクロックC2に基づいて、格納値を出力させるメモリを巡回的に可変させる読出メモリ規定信号を形成してメモリ部に与え、各メモリから格納ビット値を順次出力させる。読出制御手段は、読出メモリ規定信号として複数種類のものを形成可能であり、位相比較手段φCOMPは、同一メモリの書込と読出との競合時に、異なる位相の読出メモリ規定信号を読出制御手段から出力させる。



1

【特許請求の範囲】

【請求項1】 第1のクロックに同期した入力デジタルデータを、第1のクロックのN（Nは2以上の自然数）倍の周波数を有する、第1のクロックとは独立した位相を持つ第2のクロックに同期させた出力デジタルデータに変換させるビット位相同期回路において、入力デジタルデータのビット値を格納するM（Mは2以上の自然数）個のメモリを有するメモリ部と、第1のクロックに基づいて、入力デジタルデータの各ビット値を格納する上記メモリを巡回的に可変させる、第1のクロックに同期した書込メモリ規定信号を形成して上記メモリ部に与える書込制御手段と、第2のクロックに基づいて、格納ビット値を出力させる上記メモリを巡回的に可変させる、第2のクロックに同期した読出メモリ規定信号を形成して上記メモリ部に与えるものであって、読出メモリ規定信号として、第2のクロックの周期の整数倍だけ位相が異なる複数種類のもの形成可能な読出制御手段と、書込メモリ規定信号及び読出メモリ規定信号に基づいて、同一メモリにおける書込と読出との競合を監視し、競合時に、異なる位相の読出メモリ規定信号を上記読出制御手段から出力させる位相比較手段とを有することを特徴とするビット位相同期回路。

【請求項2】 上記メモリ部が2個のメモリを備えていることを特徴とする請求項1に記載のビット位相同期回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、第1のクロックに同期したデジタルデータを、第1のクロックのN（Nは2以上の自然数）倍の周波数を有する、第1のクロックとは独立した位相を持つ第2のクロックに同期させたデジタルデータに変換させるビット位相同期回路に関し、例えば、ビット位相が任意なデジタルデータを扱う伝送装置、多重化装置、交換装置等に適用し得るものである。

【0002】

【従来の技術】 例えば、B-I SDNにおいては、これまでのN-I SDNよりも高速（例えば620Mbit/s）のデジタルデータを処理しなければならず、ジッタ累積や波形劣化等の影響が顕著であるので、デジタルデータをリタイミングしてビット毎の位相を合わせると共に波形再生を行なう、伝送装置や多重化装置や交換装置等に設けられるビット位相同期回路がより重要である。ビット位相同期回路として各種の方式に従うものがあるが、高速なデジタルデータを取扱う装置の場合、下記文献1及び文献2に記載されているように位相マージンからの理由により、エラスティックストアを用いた方式が好適と考えられている。

【0003】 文献1『大塚祥広他、「高速通話路におけるビット位相同期回路構成法」、電子情報通信学会論文

2

誌 B-I Vol. J74-B-I No. 4 p. 304-312 1991年4月』

文献2『大塚祥広他、「高速通話路におけるビット位相同期回路構成法」、信学技報 SSE89-114』

文献3『特開平2-76332号公報』

第1のクロックに同期したデジタルデータを、第1のクロックのN倍の周波数を有する第1のクロックと非同期の第2のクロックに同期させる、エラスティックストア方式に従うビット位相同期回路としては、従来、上記文献3に記載されたものがある。

【0004】 以下、図2及び図3を参照しながら、従来のビット位相同期回路を簡単に説明する。

【0005】 図2は、エラスティックストア方式に従う一般的なビット位相同期回路の動作原理の説明図である。エラスティックストアESは、複数（図2は8個）のメモリMEM1～MEM8（例えばそれぞれがフリップフロップ回路でなる）を有するメモリ部MEMと、このメモリ部MEMの書込みメモリを規定する信号（以下、書込メモリ規定信号と呼ぶ）を生成する書込制御手段WKと、メモリ部MEMの読出しメモリを規定する信号（以下、読出メモリ規定信号と呼ぶ）を生成する読出制御手段RKとから構成されている。

【0006】 書込制御手段WKは、入力データに同期した第1のクロックC1が与えられる毎に、入力データを書込むメモリ部MEMのメモリを巡回的に変化させる書込メモリ規定信号を生成し、一方、読出制御手段RKは、第3のクロックC3が与えられる毎に、格納データを読出すメモリ部MEMのメモリを巡回的に変化させる読出メモリ規定信号を生成する。書込制御手段WK及び読出制御手段RKの動作開始時には、両者の初期位相を半周期ずらし、書込みメモリへの書込み位相と（例えばMEM1）及び読出しメモリからの読出し位相と（例えばMEM5）が最も異なるようにし、ジッタ変動等があってもスリップが発生し難くし、その後は、エラスティックストアESの書込み、読出しを通じて、第1のクロックC1に同期していた入力データを第3のクロックC3に同期するように変換する。

【0007】 エラスティックストア方式のビット位相同期回路は、以上のように、第1及び第3のクロックC1及びC3の周波数が同一の場合に有効なものである。

【0008】 ところで、並列的に入力された異なるデータ速度を有する複数の入力データが、それぞれ対応するビット位相同期回路を介した後にビット同期されていることを要求する装置がある。図2に示すビット位相同期回路は、このような要求に答えることができない。

【0009】 かかる不都合を解決すべく、上記文献3に記載のビット位相同期回路1においては、図3に示すように、エラスティックストアESに加えて、分周回路2を備えている。そして、エラスティックストアESの読出し側が、書込みクロックとして用いられる第1のクロ

3

ックC1のN倍の周波数を有する第2のクロックC2を生成し、この第2のクロックC2を分周回路2が $1/N$ 分周することで、書込みクロックと同一周波数の第3のクロックC3に変換してエラスティックストアESに読出しクロックとして与える。ここで、第2のクロックC2の周波数を、異なるデータ速度を有する複数の入力データのデータ速度の公倍数に対応した周波数とし、各ビット位相同期回路の分周比を入力データの速度に応じて選定することにより、複数のビット位相同期回路から出力されたデータを速度は異なるがビット同期させることができる。

【0010】

【発明が解決しようとする課題】ところで、第1のクロックC1のN倍の周波数を有する生成された第2のクロックC2を、仮に、読出制御手段RKに直接入力したとすると、読出制御手段RKの位相数は、書込制御手段WKの位相数のN倍になり、読出制御手段RKの位相選択肢が多くなり、スリップの発生を未然にかなり押さえることができ、また、エラスティックストアESのメモリ部Mのメモリ数を押さえることも可能となる。

【0011】しかしながら、図3のビット位相同期回路では、第2のクロックC2を分周回路2で分周して読出制御手段RKに与えているため、読出制御手段RKの位相数は書込制御手段WKの位相数と同じである。その結果、スリップを有効に回避しようとする、エラスティックストアESのメモリ部Mのメモリ数をかなり多くしておかなければならない。

【0012】すなわち、図3に示した従来回路1は、第2のクロックC2が、第1のクロックC1のN倍の周波数を有するにも拘らず、その周波数がN倍であることを直接的には位相制御に利用しておらず、そのため、エラスティックストアESのメモリ部Mのメモリ数がかなり多くなっていた。實際上、各メモリはフリップフロップ回路で実現されることが多いが、メモリ数が多いと、集積回路で実現する場合に占有面積を大きくとり、他の回路部分の面積を圧迫し、同一チップに実現する回路が少なくなるという不都合も生じる。

【0013】そのため、エラスティックストアのメモリ数を減少できる、読出し側のクロックが書込み側のクロックのN倍の周波数を有するビット位相同期回路が望まれている。

【0014】

【課題を解決するための手段】かかる課題を解決するため、本発明においては、第1のクロックに同期した入力デジタルデータを、第1のクロックのN（Nは2以上の自然数）倍の周波数を有する、第1のクロックとは独立した位相を持つ第2のクロックに同期させた出力デジタルデータに変換させるビット位相同期回路において、以下の手段を有するようにした。

【0015】すなわち、入力デジタルデータのビット値

4

を格納するM（Mは2以上の自然数）個のメモリを有するメモリ部と、第1のクロックに基づいて、入力デジタルデータの各ビット値を格納するメモリを巡回的に可変させる、第1のクロックに同期した書込メモリ規定信号を形成してメモリ部に与える書込制御手段と、第2のクロックに基づいて、格納ビット値を出力させるメモリを巡回的に可変させる、第2のクロックに同期した読出メモリ規定信号を形成してメモリ部に与えるものであって、読出メモリ規定信号として、第2のクロックの周期の整数倍だけ位相が異なる複数種類のものを形成可能な読出制御手段と、書込メモリ規定信号及び読出メモリ規定信号に基づいて、同一メモリにおける書込と読出との競合を監視し、競合時に、異なる位相の読出メモリ規定信号を読出制御手段から出力させる位相比較手段とを有するようにした。

【0016】

【作用】本発明のビット位相同期回路において、書込制御手段は、第1のクロックに基づいて、入力デジタルデータの各ビット値を格納するメモリを巡回的に可変させる、第1のクロックに同期した書込メモリ規定信号を形成してメモリ部に与え、これにより、入力デジタルデータの各ビット値はM個のメモリに巡回的に格納される。一方、読出制御手段は、第2のクロックに基づいて、格納ビット値を出力させるメモリを巡回的に可変させる、第2のクロックに同期した読出メモリ規定信号を形成してメモリ部に与え、これにより、各メモリは巡回的にその格納ビット値を出力させる。

【0017】ここで、読出制御手段は、読出メモリ規定信号として、第2のクロックの周期の整数倍だけ位相が異なる複数種類のものを形成可能なものであり、位相比較手段は、書込メモリ規定信号及び読出メモリ規定信号に基づいて、同一メモリにおける書込と読出との競合を監視し、競合時に、異なる位相の読出メモリ規定信号を読出制御手段から出力させる。

【0018】このように、読出側の位相数（読出メモリ規定信号の位相タイミング）を従来より多くしたので、メモリの数が少なくても（例えば2個）、第2のクロックに同期した出力デジタルデータを出力できる。

【0019】

【実施例】

（A）第1実施例

以下、本発明によるビット位相同期回路の第1実施例を図面を参照しながら説明する。

【0020】図1は、第1実施例（及び後述する第2実施例）の原理の概略説明図である。なお、図1は、原理の理解を容易にすべく、入力データに同期した第1のクロックC1の周波数 f_w に対する入力データを取込む側が生成した第2のクロックC2の周波数 f_r の倍数Nが2であって、エラスティックストア内のメモリ数Mが2である場合を示している。

5

【0021】この第1実施例のビット位相同期回路は、分周回路を備えず、図1に示すように、エラスティックストアES1だけから構成されている。

【0022】エラスティックストアES1は、上述したように2(=M)個のメモリMEM1及びMEM2を有するメモリ部M1と、このメモリ部M1の書込みメモリを規定する書込メモリ規定信号を生成する書込制御手段WK1と、メモリ部M1の読出しメモリを規定する読出メモリ規定信号を生成する読出制御手段RK1と、書込制御手段WK1及び読出制御手段RK1からの出力信号の位相を比較する位相比較回路φCOMPとから構成されている。

【0023】この第1実施例の書込制御手段WK1も、従来と同様に、入力データに同期した第1のクロックC1が与えられる毎に、入力データを書込むメモリ部M1のメモリを巡回的に変化させる書込メモリ規定信号を生成し、一方、読出制御手段RK1も、第2のクロックC2が与えられる毎に、格納データを読出すメモリ部M1のメモリを巡回的に変化させる読出メモリ規定信号を生成する。そして、これら書込メモリ規定信号及び読出メモリ規定信号が規定するメモリMEM1又はMEM2を異なるようにすることにより、メモリ部M1への入力データの書込み及び読出しを通じて、メモリ部M1から読み出されたデータ(従って入力データ)が第2のクロックC2に同期したものとなる。

【0024】ここで、書込制御手段WK1の位相数Pwは、メモリ数Mに等しい2である。これに対して、この第1実施例の場合、読出制御手段RK1の位相数Prは、書込制御手段WK1の位相数Pwと、両クロック信号C1及びC2間の周波数倍数Nとの積 $N \times Pw$ (= $N \times M$)=4に選定されている。

【0025】データをアクセスするメモリの数M(=2)が定まっているので、書込制御手段WK1の位相数Pw及び読出制御手段RK1の位相数Prは最低限メモリ数Mだけあれば良い。しかし、この第1実施例においては、読出制御手段RK1の位相数Prとして $N \times Pw$ (=4)個を用意しており、その $N \times Pw$ (=4)個の位相を、各組での位相差が均等になるようにPw(=2)個ずつのN(=2)組に分け、書込制御手段WK1の位相との関係が最も良好な(スリップを防止できる)読出制御手段RK1の位相の組を、位相比較回路φCOMPによって常時監視して選択させる。

【0026】なお、第2のクロックC2の周波数frが、第1のクロックC1の周波数fwのN倍であるので、読出制御手段RK1の位相数Prとして書込制御手段WK1の位相数PwのN倍を実現することは容易である。

【0027】従って、通常の動作時における読出制御手段RK1の位相数は書込制御手段WK1の位相数と等しいが、どの組の位相を用いるかまでも含めると、読出制

6

御手段RK1の位相数Prは書込制御手段WK1のN倍であって位相選択数もN倍になり、読出し時の位相余裕をこの分増大させることができる。

【0028】すなわち、第1実施例は、(1)メモリ部M1への書込み、読出しを通じて入力データを第2のクロックC2に同期させること、(2)メモリ部M1から読出すデータを規定する読出制御手段RK1の位相数Prを書込制御手段WK1のN倍とすること、(3)読出制御手段RK1の位相数Prを、各組での位相差が均等になるようにメモリ数MずつのN組に分け、書込制御手段WK1の位相との関係が最も良好な読出制御手段RK1の位相の組を、位相比較回路φCOMPによって選択させること、などを原理とする。

【0029】図4は、このような原理に従う第1実施例のビット位相同期回路の構成を示すブロック図であり、図5は、その各部タイミングチャートである。なお、図4は、上述したN及びMがそれぞれ2の場合の回路を示している。

【0030】図4において、第1実施例のビット位相同期回路10は、入力データ取込み用の2(=M)個のラッチ回路11及び12と、セクタ13と、出力データのラッチ用のラッチ回路14と、書込みカウンタ15と、読出しカウンタ16と、位相比較回路17とから構成されている。

【0031】ここで、2個のラッチ回路11及び12と、セクタ13と、出力データのラッチ用のラッチ回路14とが図1におけるメモリ部M1に該当し、書込みカウンタ15が図1における書込制御手段WK1に該当し、読出しカウンタ16が図1における読出制御手段RK1に該当し、位相比較回路17が図1における位相比較回路φCOMPに該当する。なお、セクタ13と、出力データのラッチ用のラッチ回路14とが、図1における読出制御手段RK1の要素と見ることもできる。

【0032】書込みカウンタ15には、図5(A)に示す入力データに同期した図5(B)に示す書込みクロック(第1のクロック)WCKが与えられ、書込みカウンタ15は、この書込みクロックWCKに基づいて、入力データ取込み用の2個のラッチ回路11及び12のそれぞれに対する書込みクロックWCKに同期したラッチ指令信号W1及びW2(これらの組が上述した書込メモリ規定信号に相当)を形成する。

【0033】書込みカウンタ15が形成するこれらラッチ指令信号W1及びW2は、図5(C)及び(D)に示すように相補的なものであり、入力データの連続するビット値を2個のラッチ回路11及び12が交互に取り込むように変化するものである。

【0034】入力データ取込み用の各ラッチ回路11、12は、例えばD型フリップフロップ回路で構成されている。これらラッチ回路11及び12には入力データが共通に入力されており、各ラッチ回路11、12は、上

10

20

30

40

50

7

述した対応するラッチ指令信号W1、W2の立上りエッジに基づいて入力データを取り込む。

【0035】従って、ラッチ回路11からの出力データは、図5(E)に示すように入力データの一つ置きのビット値a1、b1、c1、…を取り込んだものとなり、しかも、その周期が入力データのビット周期の2倍のものとなる。一方、ラッチ回路12からの出力データは、図5(F)に示すように入力データの他の一つ置きのビット値a2、b2、c2、…を取り込んだものとなり、しかも、その周期が入力データのビット周期の2倍のものとなる。

【0036】読出しカウンタ16には、図5(B)に示す書込みクロックWCKに非同期であってその2(=N)倍の周波数を有する読出しクロック(第2のクロック)RCKが与えられている。読出しカウンタ16は、この読出しクロックRCKに基づいて、セクタ13に与える2ビットの選択制御信号(上述した読出メモリ規定信号に相当)R1及びR2を形成する。

【0037】読出しカウンタ16が形成する選択制御信号の各ビット(以下、選択制御ビットと呼ぶ)R1、R2はそれぞれ、図5(H)、(I)に示すように、基本的にはデューティ比が1/4(ここで4はM×Nの値である)のパルス信号であり、選択制御ビットR1の有意期間と選択制御ビットR2の有意期間とが各ビットデータの半周期ずつずれたものである。なお、各選択制御ビットR1、R2の有意期間は、入力データの1ビット期間の半分であり、また、読出しクロックRCKの1周期の期間に等しい。

【0038】セクタ13には、その選択入力として、入力データ取込み用の2個のラッチ回路11及び12のラッチデータと、出力データのラッチ回路14にラッチされたデータとが入力されている。セクタ13は、選択制御ビットR1が有意のときにラッチ回路11のラッチデータを選択し、選択制御ビットR2が有意のときにラッチ回路12のラッチデータを選択し、選択制御ビットR1及びR2が共に非有意のときにラッチ回路14のラッチデータを選択する。

【0039】このような選択データが入力されるラッチ回路14は、例えばD型フリップフロップ回路で構成されているものであり、読出しクロックRCK(の立下りエッジ)がラッチ指令信号として与えられている。なお、立上り位相をラッチ指令信号とすることもできる。

【0040】両選択制御ビットR1及びR2が、上述したように変化するので、セクタ13は、ラッチ回路11のラッチデータ、ラッチ回路14のラッチデータ、ラッチ回路12のラッチデータ、ラッチ回路14のラッチデータの順に選択データを切り換えると共に、各選択データ期間を読出しクロックRCKの1周期の期間にする。セクタ13が選択するラッチ回路11のラッチデータとその次のタイミングでのラッチ回路14のラッチ

8

データとはフィードバックにより等しく、また、セクタ13が選択するラッチ回路12のラッチデータとその次のタイミングでのラッチ回路14のラッチデータとはフィードバックにより等しく、すなわち、ラッチ回路14は、出力データのラッチ機能のみならず、セクタ13へのフィードバックを通じて、セクタ13が選択した入力データ取込み用ラッチ回路11、12からのビットデータの期間を、その2倍の期間に引き伸ばす機能を担っている。かくして、ラッチ回路14からの出力データは、図5(K)に示すように、入力データを読出しクロックRCKに同期させたものとなる。

【0041】位相比較回路17には、書込みカウンタ15からのラッチ回路11へのラッチ指令信号W1、読出しカウンタ16からのセクタ13へのラッチ回路11のラッチデータの選択指示に係る選択制御ビットR1、及び、読出しクロックRCKが与えられる。

【0042】ラッチ回路11又は12への入力データの取込みと、ラッチ回路11又は12の格納データの出力データへの選択とがほぼ同時に行なわれると、同一データを2度出力データにしたり出力データにされない格納データが生じたりのスリップが発生するので、この第1実施例においては、ラッチ指令信号W1の立上りエッジを中心とした書込みクロックWCKの半分の周期をラッチ回路11の格納データを出力データにすることの禁止位相範囲AR0としており、これ以外の時間をラッチ回路11の格納データを出力データにすることの許容位相範囲AR1としている。

【0043】位相比較回路17は、入力されたラッチ指令信号W1、選択制御ビットR1及び読出しクロックRCKに基づいて、選択制御ビットR1の立上りエッジが禁止位相範囲AR0又は許容位相範囲AR1のいずれの時間位置にあるかを判定し、選択制御ビットR1の立上りエッジが禁止位相範囲AR0に位置するときには、図5(G)に示すように、次の選択制御ビットR1の有意パルスに同期させてリセット信号(初期値)を読出しカウンタ16に与える。

【0044】読出しカウンタ16は、リセット信号が与えられたとき、選択制御ビットR1及びR2を初期位相にし直す。この第1実施例の場合、読出しカウンタ16は、図5(H)及び(I)に示すように、リセット信号が与えられる前の選択制御ビットR1及びR2の位相を、リセット信号が与えられたときにリセット動作によりそれぞれその1/4周期だけ遅らせるを行なっている。なお、3/4周期遅らせても良い。

【0045】ここで、スリップを防止する他の方法としては、電源の立上げ時に書込みカウンタ15及び読出しカウンタ16を初期設定(リセット)する方法であり、この方法も採用可能である。しかし、この方法では、その後に書込みクロックWCK又は読出しクロックRCKのいずれかが瞬断した場合、両カウンタの位相がデータ

誤りを起こす位相となる恐れがあり、これを避けようとする入力データの取込み用ラッチ回路は2個で済まなくなる。

【0046】また、位相比較回路17がリセットする対象を書込みカウンタ15とすることも考えられる。この第1実施例の場合、書込みクロックWCKの周波数は読出しクロックRCKの周波数より低く書込みカウンタ15の位相数を多くとれず、このような少ない位相に対してリセットを行なうのであれば、入力データの取込み用ラッチ回路は2個で済まなくなる。

【0047】そのため、この第1実施例においては、上述したスリップ防止方法を採用している。

【0048】なお、エラスティックストア方式のビット位相同期回路においては、一般に、入力データを格納するメモリを規定する信号の発生回路は「書込みカウンタ」、格納データを読出すメモリを規定する信号の発生回路は「読出しカウンタ」と呼ばれているので、この明細書においても、その呼称を用いており、書込みカウンタ15及び読出しカウンタ16は、必ずしもカウンタで構成されていることは要しない。

【0049】以上の構成を有する第1実施例のビット位相同期回路において、図5(B)に示す書込みクロックWCKに同期した図5(A)に示す入力データが当該ビット位相同期回路に入力されると、その入力データの各ビット値は、書込みカウンタ15が書込みクロックWCKに基づいて形成した図5(C)及び(D)に示すラッチ指令信号W1及びW2によって、ラッチ回路11及び12に交互に取り込まれ、各ラッチ回路11、12からは、図5(E)、(F)に示す入力データの1個置きのビット値の時間軸を2倍した出力データが出力される。

【0050】各ラッチ回路11、12からのラッチデータは、読出しカウンタ16が図5(J)に示す読出しクロックRCKに基づいて形成した選択制御信号を構成する図5(H)及び(I)に示す選択制御ビットR1及びR2に応じて、セクタ13で選択される。

【0051】ラッチ回路12がラッチデータの更新を行なった直後ではラッチ回路11からの出力データが、セクタ13によって選択されてその後段のラッチ回路14に読出しクロックRCKに同期して取り込まれ、読出しクロックRCKの次のタイミングでもこのラッチ回路14にラッチされたデータがセクタ13によって選択されてラッチ回路14に読出しクロックRCKに同期して取り込まれ、次のラッチ回路11がラッチデータの更新を行なった直後のタイミングではラッチ回路12からの出力データが、セクタ13によって選択されてその後段のラッチ回路14に読出しクロックRCKに同期して取り込まれ、読出しクロックRCKの次のタイミングでもこのラッチ回路14にラッチされたデータがセクタ13によって選択されてラッチ回路14に読出しクロックRCKに同期して取り込まれ、かくして、ラッチ回

路14からは、ラッチ回路11及び12にラッチされたビットデータを交互に含む、しかも、各ビット値の期間が読出しクロックRCKの2周期(従って入力データのビット期間に等しい)であって読出しクロックRCKに同期している図5(K)に示すデータが出力される。

【0052】このようにして、書込みクロックWCKに同期した入力データが分周回路を用いずに読出しクロックRCKに同期したデータに変換される。

【0053】このようなデータのクロック乗換え中においては、ラッチ回路11へのラッチ指令信号W1、セクタ13へのラッチ回路11のラッチデータの選択指示に係る選択制御ビットR1、及び、読出しクロックRCKが位相比較回路17に入力され、位相比較回路17によって、ラッチ回路11でのラッチタイミング及びそのラッチデータの選択タイミングの同時性(競合)が常時監視され、スリップを引き起こす可能性がある程度の同時性がある場合には、位相比較回路17から読出しカウンタ16に図5(G)に示すリセット信号(初期値)が与えられる。このとき、読出しカウンタ16がリセットされ、選択制御ビットR1及びR2の位相が初期位相に変更され、1回だけ強制的にスリップを発生させるが、それ以降、スリップの発生を防止させるようにする。

【0054】従って、上記第1実施例によれば、2個のメモリによって、高速な読出しクロックへの入力データの乗せ換えを実行できるビット位相同期回路を実現できる。上記文献1に記載されているように、従来においては、メモリ数が3以上なされば実用的な回路を実現できなかったが、この第1実施例によれば、読出し側の位相数を書込み側の位相数のN倍にしたことにより、2個のメモリによって実用上十分なビット位相同期回路を実現できる。

【0055】また、第1実施例によれば、メモリ数を従来より減少させているが、入力クロックのジッタ余裕度は従来回路と同様である。すなわち、入力クロックのジッタ余裕度は書込み時の位相余裕に支配されるが、入力データを入力クロックに同期してラッチ回路(メモリ)に取り込む点は従来と同様であるので、入力クロックのジッタ余裕度を従来回路と同様にできる。

【0056】さらに、第1実施例によれば、入力データの速度が高速であっても設計を容易にできるという効果を得ることができる。読出し側の多数の位相数を多相クロックで実現することも考えられるが、入力データの速度が高速になるほど、所定の位相差を有する多相クロックを形成することは難しく、読出しクロックのN周期中の1周期だけ有意なパルス信号を形成する第1実施例に比較してその高速設計は難しい。

【0057】(B)第2実施例

次に、本発明によるビット位相同期回路の第2実施例を図面を参照しながら説明する。図6は、第1実施例について説明したと同一の原理に従う第2実施例のビット位

相同期回路の構成を示すブロック図であり、図 7 は、その各部タイミングチャートである。なお、図 6 は、上述した N 及び M がそれぞれ 2 の場合の回路を示している。また、図 6 において、第 1 実施例に係る図 4 との同一、対応部分には同一符号を付して示している。

【0058】図 6 及び図 4 の比較から明らかなように、この第 2 実施例のビット位相同期回路は、第 1 実施例のビット位相同期回路に比べて、メモリ部の構成、及び、メモリ部に入力データを取り込むための構成が異なっている。

【0059】第 1 実施例の場合、書込みカウンタ 15 が書込みクロック WCK に基づいて形成したラッチ指令信号 W1 及び W2 に同期して入力データを取り込むようにしているが、書込みカウンタ 15 での処理遅延のため、入力データに対するラッチ指令信号 W1 及び W2 の同期性は、入力データに対する書込みクロック WCK の同期性より若干劣っている。そのため、ジッタ余裕度を小さくする恐れがある。

【0060】そのため、第 2 実施例においては、入力データの取込みに書込みクロック WCK を直接利用させることとしている。

【0061】図 6 において、入力データを取り込むための 2 個のラッチ回路 11a 及び 12a のそれぞれの前段には、対応するセクタ 21、22 が設けられている。

【0062】ラッチ回路 11a の前段のセクタ 21 には、選択入力として、入力データ及びラッチ回路 11a のラッチデータが入力され、選択制御信号として第 1 実施例におけるラッチ指令信号 W1 より書込みクロック WCK の半分の周期だけ進んだ図 7 (C) に示す信号 W1 が与えられている。従って、選択制御信号 W1 は、書込みクロック WCK に同期しており、その 2 倍の周期を有するものである。セクタ 21 は、選択制御信号 W1 が有意なときに入力パルスを選択し、選択制御信号 W1 が非有意なときにラッチ回路 11a のラッチデータを選択するものである。そのため、選択制御信号 W1 が非有意なときの入力データは、セクタ 21 で選択されることはない。

【0063】ラッチ回路 11a には、ラッチ指令信号として書込みクロック WCK が直接入力されている。従って、ラッチ回路 11a は、セクタ 21 からの出力データを書込みクロック WCK の立上りエッジでラッチする。

【0064】セクタ 21 が選択制御信号 W1 に応じて入力データを選択している状態において生じた書込みクロック WCK の立上りエッジで入力データがラッチされ、その直後のセクタ 21 が選択制御信号 W1 に応じてラッチデータを選択している状態において生じた書込みクロック WCK の立上りエッジではそのラッチデータが再度ラッチ回路 11a にラッチされる。

【0065】かくして、図 7 (E) に示すように、入力

データの 1 個置ききのビット値が、2 倍の期間（書込みクロック WCK の 2 周期分）に引き伸ばされて、しかも書込みクロック WCK に同期してラッチ回路 11a から出力される。

【0066】一方、ラッチ回路 12a の前段のセクタ 22 には、上述した選択制御信号 W1 と逆相の選択制御信号 W2 が与えられている。従って、セクタ 22 及びラッチ回路 12a の機能により、図 7 (F) に示すように、上記ラッチ回路 11a がラッチしたのと異なる入力データの 1 個置ききのビット値が、2 倍の期間（書込みクロック WCK の 2 周期分）に引き伸ばされて、しかも書込みクロック WCK に同期してラッチ回路 12a から出力される。

【0067】このような入力データの取込み構成部以外の構成及び動作は、第 1 実施例と同様であるのでその説明は省略する。なお、位相比較回路 17 には、第 1 実施例とは異なって、書込み側の位相情報として選択制御信号 W1 が入力されるが、位相比較点は、図 7 に示すように、その選択制御信号 W1 のエッジではなく、ラッチ回路 11a にラッチされる開始時点である。かかる比較のために、書込みクロック WCK をも位相比較回路 17 に入力するようにしても良い。

【0068】従って、第 2 実施例も、原理的には第 1 実施例と同一であり、第 1 実施例と同様な効果を得ることができる。

【0069】書込みカウンタ 15 の構成によって処理遅延の影響が大きいのであれば、第 2 実施例のように、書込みクロックをラッチ指令信号に用いることが、ラッチデータと書込みクロックとの同期精度が高まって好ましい。なお、ラッチ回路だけを用いて書込みクロックを単純にラッチ指令信号として用いた場合には、入力データの期間を 2 倍に引き伸ばすことができないので、セクタ 21、22 を設けると共に、ラッチデータのフィードバックを行なうようにしている。

【0070】(C) 第 3 実施例

次に、本発明によるビット位相同期回路の第 3 実施例を図面を参照しながら説明する。図 8 は、第 3 実施例のビット位相同期回路の構成を示すブロック図であり、図 9 は、その各部タイミングチャートである。

【0071】この第 3 実施例のビット位相同期回路は、パラレルデータをシリアルデータに多重する機能を備えたビット位相同期回路であり、パラレルデータの各ビットデータについて見た場合に、第 1 実施例のビット位相同期回路とほぼ同様な原理に従っているものである。

【0072】なお、図 8 は、読出しクロック RCK の周波数 f_r の書込みクロック WCK の周波数 f_w に対する倍数 N がパラレルデータのビット数に等しい場合を示しており、図 9 は、その N が 4 である場合のタイミングチャートを示している。

【0073】図 8 において、第 3 実施例のビット位相

期回路30は、入力データ取込み用のN個のメモリ部31-0~31-(N-1)と、書込みカウンタ32と、多重化用の読出しカウンタ33と、位相比較回路34と、2N:1セレクタ35とから構成されている。

【0074】パラレルデータの各ビットデータはそれぞれ対応するメモリ部31-0、…、31-(N-1)に与えられる。各メモリ部31-i (iは0~(N-1))はそれぞれ、図10に示すように、例えばD型フリップフロップ回路でなる2(=M)個のラッチ回路41-i及び42-iでなり、これらラッチ回路41-i及び42-iには図9(A)に示すiビット目のデータが入力されている。

【0075】書込みカウンタ32には、入力されたパラレルデータに同期した図9(B)に示す書込みクロックWCKが与えられ、書込みカウンタ32は、この書込みクロックWCKに基づいて、上述した2種類のラッチ回路41-0~41-(N-1)及び42-0~42-(N-1)のそれぞれに対する書込みクロックWCKに同期したラッチ指令信号W1及びW2を形成する。書込みカウンタ32が形成するこれらラッチ指令信号W1及びW2も、図9(C)及び(D)に示すように第1実施例と同様に相補的なものである。

【0076】従って、同一メモリ部31-i内の2個のラッチ回路41-i及び42-iは、図9(E)及び(F)に示すように、iビット目のビットデータの連続するビット値を交互に取込み、そのラッチデータの周期は入力データの2倍の周期になる。全てのメモリ部31-0~31-(N-1)からの2個ずつのラッチデータの計2N個のラッチデータは、セレクタ35に選択入力として与えられる。

【0077】読出しカウンタ33には、図9(B)に示す書込みクロックWCKに非同期であってそのN倍の周波数を有する図9(P)に示す読出しクロックRCKが与えられている。読出しカウンタ33は、この読出しクロックRCKに基づいて、セレクタ35に与える2N個の選択制御ビットR1-0~R1-(N-1)及びR2-0~R2-(N-1)を形成する。

【0078】読出しカウンタ35が形成する各選択制御ビットR1-(N-1)、…、R1-0、R2-(N-1)、…、R2-0はそれぞれ、図9(H)、…、(O)に示すように、基本的にはデューティ比が1/2N(図9はNが4で示している)のパルス信号でなり、選択制御ビットR1-iの有意期間と選択制御ビットR2-iの有意期間とが半周期ずつずれたものである。なお、各選択制御ビットR1-i、R2-iの有意期間は、入力データの1ビット期間の1/Nであり、また、読出しクロックRCKの1周期に等しい。

【0079】セレクタ35は、選択制御ビットR1-iが有意のときには、iビット目用のメモリ部31-iのラッチ回路41-iのラッチデータを選択し、選択制御

ビットR2-iが有意のときにラッチ回路42-iのラッチデータを選択する。

【0080】読出しカウンタ35が形成する各選択制御ビットR1-(N-1)、…、R1-0、R2-(N-1)、…、R2-0は、図9(H)~(O)に示すように、この順序で有意期間を順次とするものであるので、セレクタ35は、ラッチ回路41-3、41-2、41-1、41-0、42-3、42-2、42-1、42-0のラッチデータの順に選択し、かくして、セレクタ35からは、図9(Q)に示すような多重化されたシリアルデータが出力される。ここで、選択制御ビットR1-i及びR2-iが読出しクロックRCKに同期しているものであるので、このシリアルデータも読出しクロックRCKに同期しているものである。

【0081】位相比較回路34には、書込みカウンタ32からのラッチ回路41-iへのラッチ指令信号W1、読出しカウンタ33からのセレクタ35へのラッチ回路41-3~41-0のラッチデータを選択指示に係る選択制御ビットR1-3~R1-0、及び、読出しクロックRCKが与えられる。

【0082】ラッチ回路41-i又は42-iへの入力データの取込みと、ラッチ回路41-i又は42-iの格納データの出力データへの選択とがほぼ同時に行なわれると、同一データを2度出力データにしたり出力データにされない格納データが生じたりするスリップが発生するので、この第2実施例においては、ラッチ指令信号W1の立上りエッジを中心とした書込みクロックWCKの半分の周期をラッチ回路41-iの格納データを出力データにすることの禁止位相範囲AR0としており、これ以外の時間をラッチ回路41-iの格納データを出力データにすることの許容位相範囲AR1としている。

【0083】位相比較回路33は、入力された各種信号に基づいて、選択制御ビットR1-iの立上りエッジが禁止位相範囲AR0又は許容位相範囲AR1のいずれの時間位置にあるかを判定し、選択制御ビットR1-iの立上りエッジが禁止位相範囲AR0に位置するときには、図9(G)に示すように、リセット信号を読出しカウンタ33に与える。

【0084】読出しカウンタ33は、リセット信号が与えられたとき、選択制御ビットR1-i及びR2-iの位相をずらす。この第2実施例の場合、読出しカウンタ33は、図5(H)~(O)に示すように、リセット信号が与えられる前の選択制御ビットR1-i及びR2-iの位相を、リセット信号が与えられたときには、それぞれその1/2N周期だけ遅らせる。なお、ずらす位相量はこれに限定されない。

【0085】従って、上記第3実施例によれば、2個のメモリによって、高速な読出しクロックへのパラレルデータの各ビットデータの乗せ換えを実行できる、しかもパラレルデータの多重化を実行できるビット位相同期回

路を実現できる。この第3実施例によれば、読出し側の位相数を、多重化に必要な最低限の位相数の2倍にしたことにより、2個のメモリによって実用上十分なビット位相同期回路を実現できている。

【0086】また、第3実施例によっても、メモリ数を従来より減少させているが、入力クロックのジッタ余裕度は従来回路と同様である。さらに、第3実施例によっても、入力データの速度が高速であっても設計を容易にできるという効果を得ることができる。

【0087】(D) 第4実施例

次に、本発明によるビット位相同期回路の第4実施例を図面を参照しながら説明する。図11は、第3実施例のビット位相同期回路の構成を示すブロック図であり、図12は、その各部タイミングチャートである。なお、図11において、図8との同一、対応部分には、同一符号を付して示している。

【0088】この第4実施例のビット位相同期回路も、パラレルデータをシリアルデータに多重、変換する機能を備えたビット位相同期回路であり、パラレルデータの各ビットデータについて見た場合に、第2実施例のビット位相同期回路とほぼ同様な原理に従っているものである。

【0089】この第4実施例は、第3実施例と比較した場合、メモリ部31-iの構成が異なっている。すなわち、メモリ部31-iを、図13に示すように、ラッチ回路41-i及び42-iだけではなく、第2実施例と同様にセクタ51-i及び52-iを有するように構成した点が、第3実施例と異なっており、他の構成は第3実施例と同様な構成である。このように構成を相違させた理由は、第1実施例と第2実施例との関係と同一である。従って、第4実施例の動作、機能は、第3実施例及び第2実施例の説明から明らかであるのでその説明は省略する。

【0090】この第4実施例によっても、第3実施例と同一の効果を得ることができる。

【0091】(E) 他の実施例

上記各実施例においては、1系統のビットデータを処理する系に2個のメモリを設けたものを示したが、メモリ数はこれ以上あっても良い。

【0092】上記第1及び第2実施例においては、入力データ及び出力データの速度が等しいものを示したが、メモリ数を多くすると共に、読出しカウンタからの選択制御ビットの有意タイミングや出力用セクタの構成等をNの値に応じて適宜変更することにより、速度変換を伴うビット位相同期回路にも本発明を適用することができる。同様に、第3又は第4実施例の回路を一部修正して、多重化に伴う速度変換以外の速度変換を伴うビット

位相同期回路に本発明を適用することができる。

【0093】

【発明の効果】以上のように、本発明によれば、入力デジタルデータのビット値を格納するM(Mは2以上の自然数)個のメモリを有するメモリ部と、第1のクロックに基づいて、入力デジタルデータの各ビット値を格納するメモリを巡回的に可変させる、第1のクロックに同期した書込メモリ規定信号を形成してメモリ部に与える書込制御手段と、第1のクロックのN(Nは2以上の自然数)倍の周波数を有する第2のクロックに基づいて、格納ビット値を出力させるメモリを巡回的に可変させる、第2のクロックに同期した読出メモリ規定信号を形成してメモリ部に与えるものであって、読出メモリ規定信号として、第2のクロックの周期の整数倍だけ位相が異なる複数種類のものを形成可能な読出制御手段と、書込メモリ規定信号及び読出メモリ規定信号に基づいて、同一メモリにおける書込と読出との競合を監視し、競合時に、異なる位相の読出メモリ規定信号を読出制御手段から出力させる位相比較手段とを有するので、エラスティックストアのメモリ数を従来に比して減少できる(従来では困難であった2個にもできる)ビット位相同期回路を実現できる。

【図面の簡単な説明】

【図1】第1実施例の原理説明用ブロック図である。

【図2】従来回路の一般的構成を示すブロック図である。

【図3】読出側クロックが高周波数の従来回路を示すブロック図である。

【図4】第1実施例の構成を示すブロック図である。

【図5】第1実施例の各部タイミングチャートである。

【図6】第2実施例の構成を示すブロック図である。

【図7】第2実施例の各部タイミングチャートである。

【図8】第3実施例の構成を示すブロック図である。

【図9】第3実施例の各部タイミングチャートである。

【図10】第3実施例のメモリ部の構成例を示すブロック図である。

【図11】第4実施例の構成を示すブロック図である。

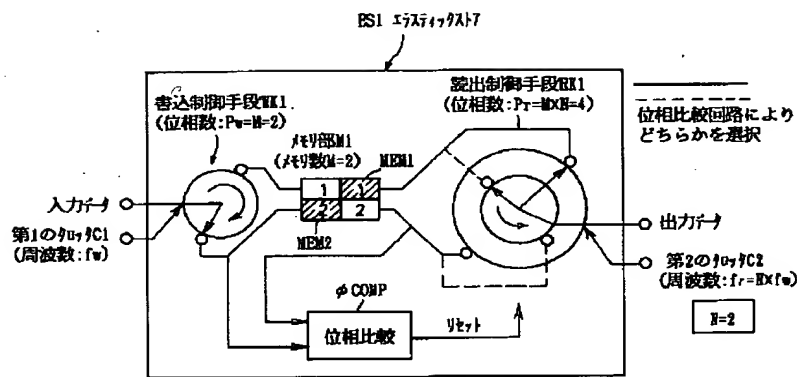
【図12】第4実施例の各部タイミングチャートである。

【図13】第4実施例のメモリ部の構成例を示すブロック図である。

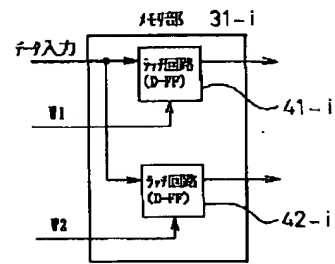
【符号の説明】

ES1…エラスティックストア ES1、MEM1、MEM2…メモリ、M1…メモリ部、WK1…書込制御手段、RK1…読出制御手段、φCOMP…位相比較回路。

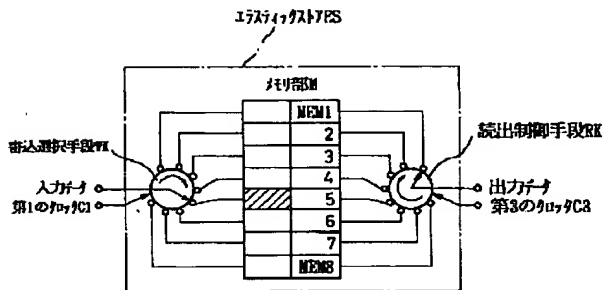
【図 1】



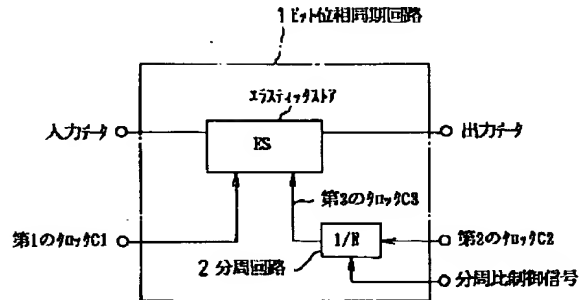
【図 10】



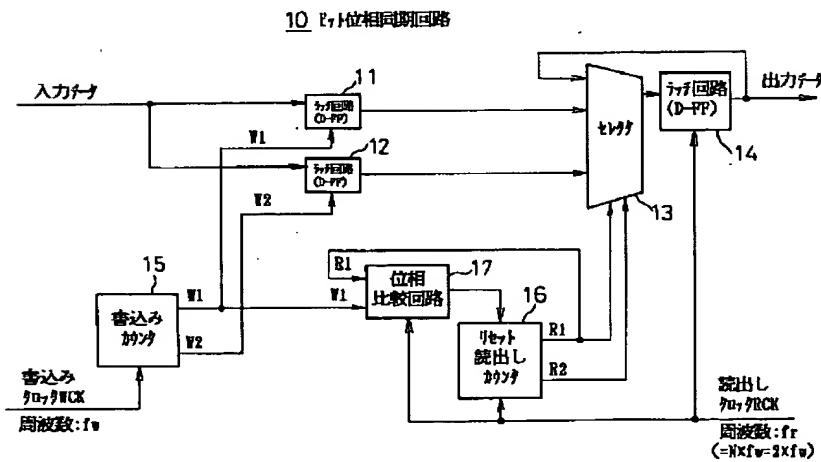
【図 2】



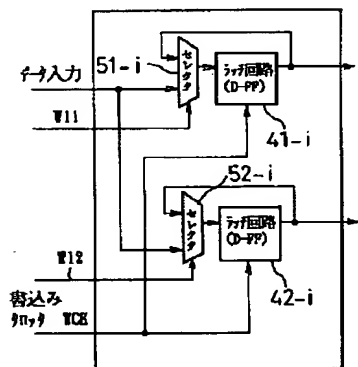
【図 3】



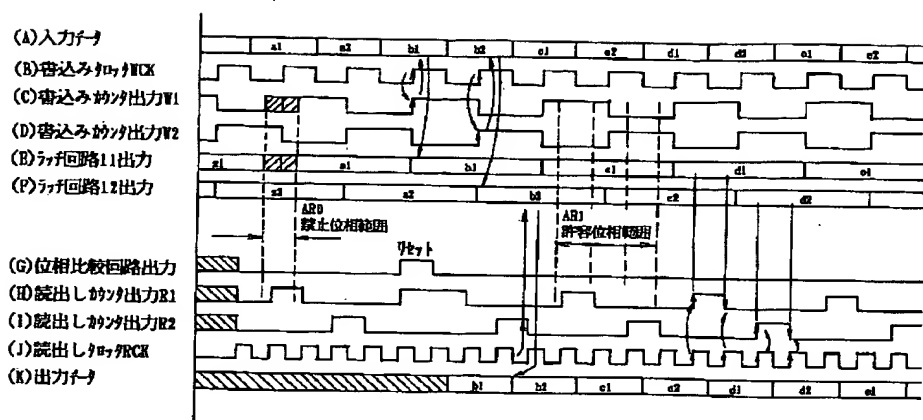
【図 4】



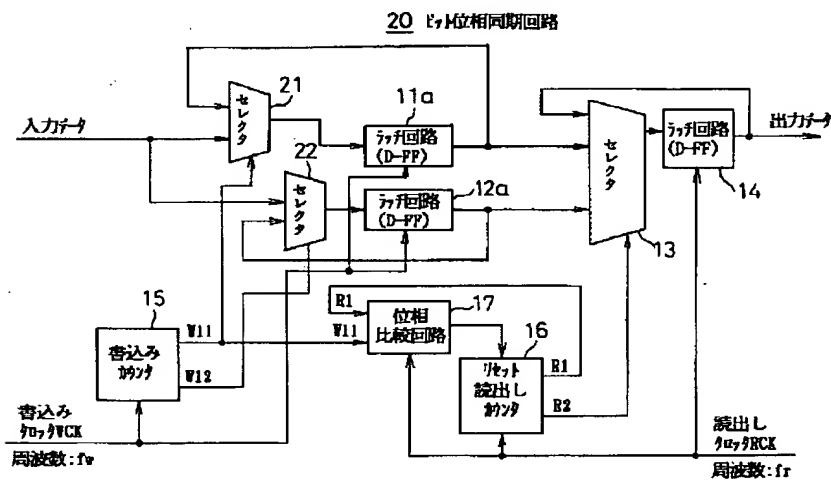
【図 13】



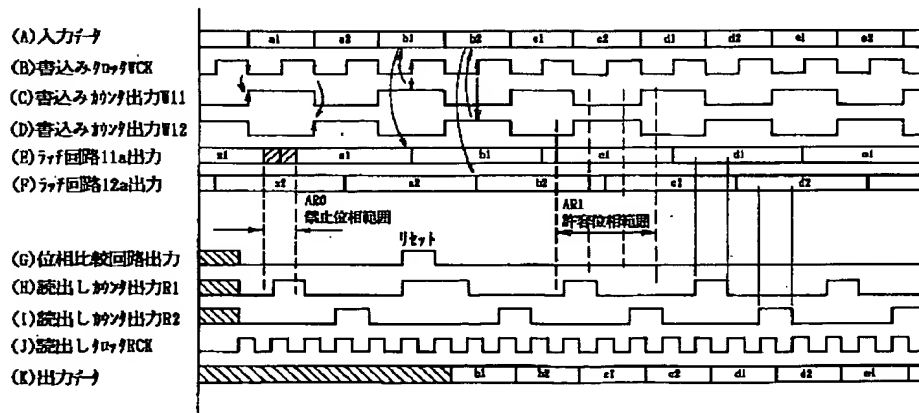
【図 5】



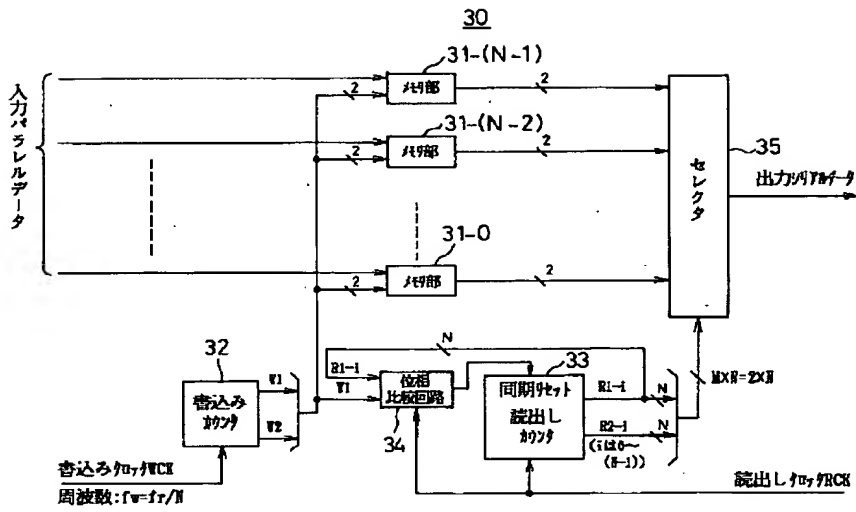
【図 6】



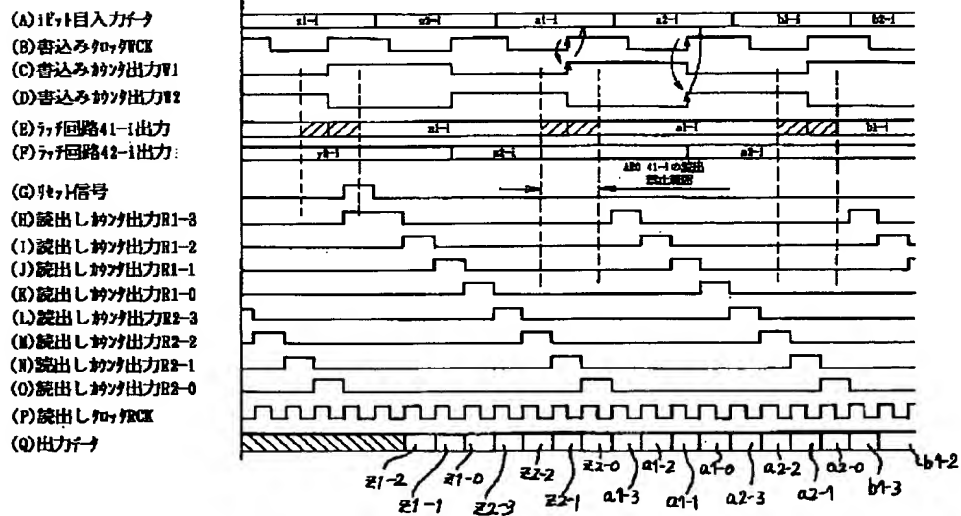
【図 7】



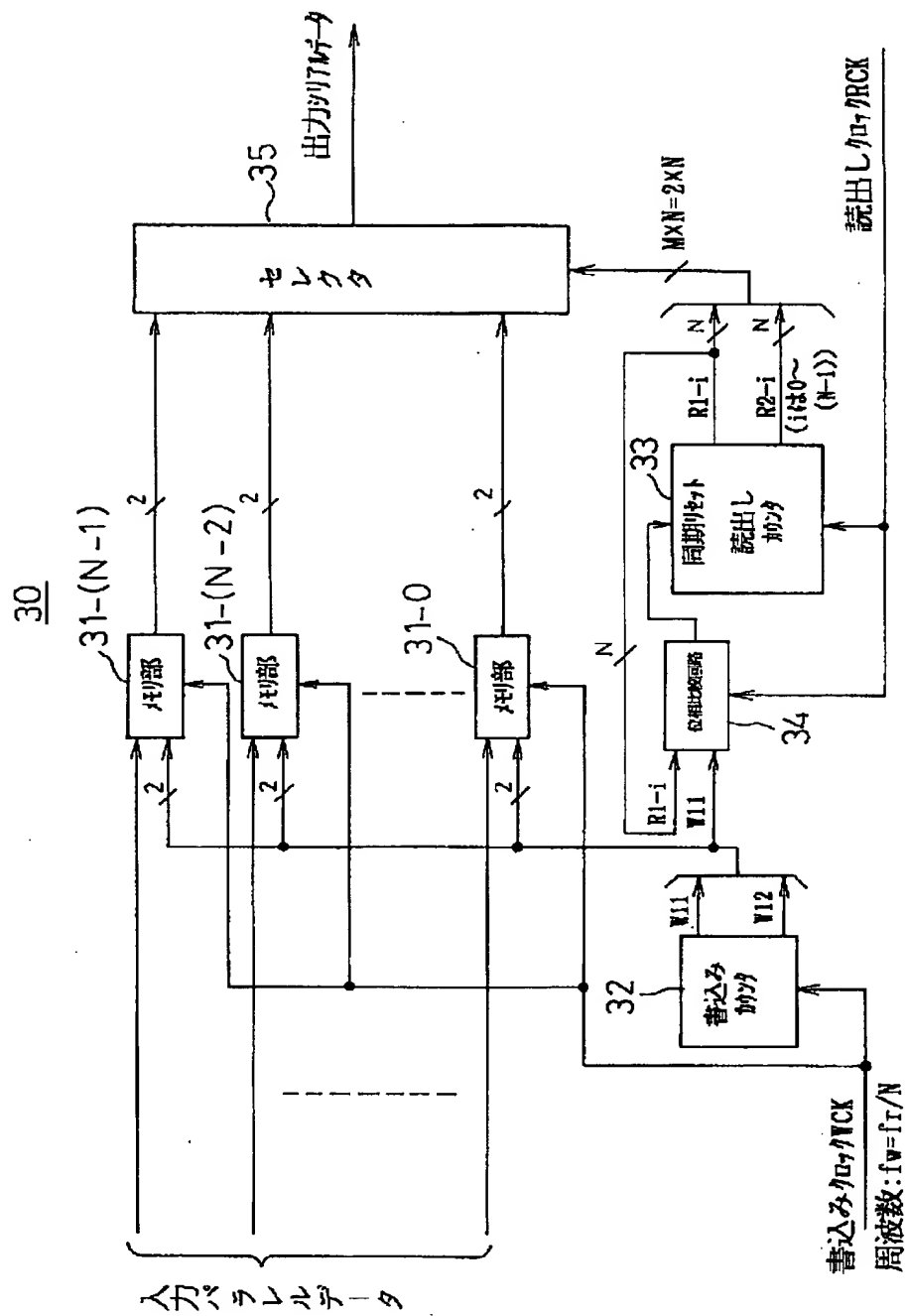
【図 8】



【図 9】



【図 11】



【図 12】

